

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
Please do not report the images to the  
Image Problem Mailbox.



特開平6-204420

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/092				
21/28	3 0 1 S	7376-4M		
21/336				
		9170-4M	H 0 1 L 27/ 08	3 2 1 F
		9054-4M	29/ 78	3 0 1 P
審査請求 未請求 請求項の数2 (全 5 頁) 最終頁に続く				

(21)出願番号 特願平4-349603

(22)出願日 平成4年(1992)12月28日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 小 田 宗 隆

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(74)代理人 弁理士 渡辺 望 稔 (外1名)

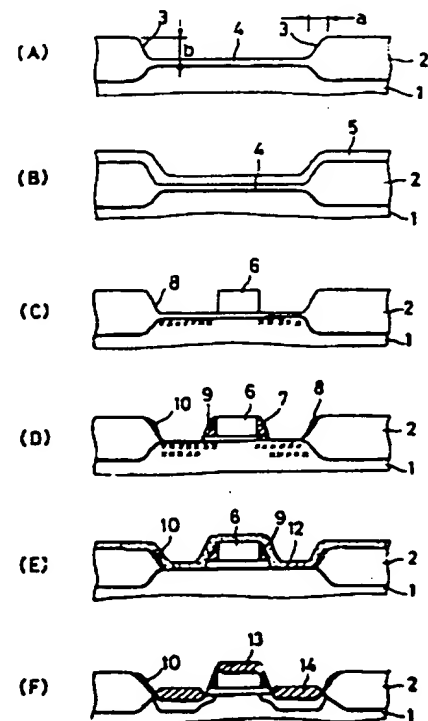
Co silicide CMOS process

## (54)【発明の名称】 半導体装置の製造方法

## (57)【要約】

【目的】ドーパントのゲート間拡散を抑制することにより、高速のCMOSトランジスタを簡便にかつ設計通りに形成する方法の提供。

【構成】半導体基板上に、素子分離膜、ゲート酸化膜およびシリコン膜からなるゲート電極と、ソース・ドレイン領域とを形成した後、CVD法により基板全面にシリコン酸化膜を堆積した後、前記ゲート電極の側壁および素子分離膜の側壁上部にのみシリコン酸化膜を残して該シリコン酸化膜を異方性エッチングし、Ti、CoまたはNiからなる金属膜を全面に積層し、熱処理によりソース・ドレイン領域の上部およびゲート電極上に選択的にシリサイド膜を形成する半導体装置の製造方法。

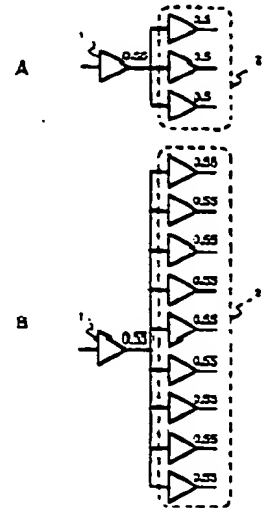


## (54) SEMICONDUCTOR DEVICE

(11) 6-151735 (A) (43) 31.5.1994 (19) JP  
 (21) Appl. No. 4-295400 (22) 4.11.1992  
 (71) SHARP CORP (72) YASUSHI KUBOTA  
 (51) Int. Cl.<sup>6</sup> H01L27/088, H03K19/0944

**PURPOSE:** To obtain a semiconductor device which can be lessened in power consumption and chip area and enhanced reliability by a method wherein transistors composing the semiconductor device are determined in channel length taking the size of electrical stress applied onto each transistor into consideration.

**CONSTITUTION:** A semiconductor device is composed of circuit units formed of a first gate and a second gate group, the output of the first gate is inputted into one or more gates of the second gate group, and when the ratio of the drive capacity of the first gate output to the sum of the input capacitance of the second gates is less than a prescribed value, the input transistors of the second gate group are set smaller in channel length than other transistors located in circuit units.

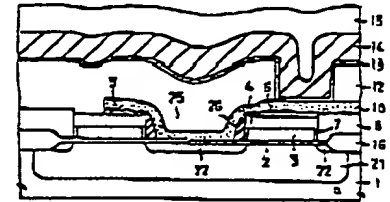


## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(11) 6-151736 (A) (43) 31.5.1994 (19) JP  
 (21) Appl. No. 4-322305 (22) 9.11.1992  
 (71) TOSHIBA CORP (72) KAZUNARI ISHIMARU  
 (51) Int. Cl.<sup>6</sup> H01L27/088

**PURPOSE:** To provide a gate electrode stable in characteristics and to form a self-aligned contact (SAC) without overetching an insulating film which covers the gate electrode when the contact is bored.

**CONSTITUTION:** A polysilicon wiring 10 is formed on a semiconductor substrate 1, wherein a polysilicon film 5 is formed on a part of the polysilicon wiring 10 located on a gate electrode 3 to make the wiring 10 thick. Therefore, the gate electrode 3 is prevented from being doped with impurities injected into the wiring 10. When a gate SAC is formed on the semiconductor substrate 1 provided with a polysilicon gate, the polysilicon film 5 is formed on the insulating film 4 provided onto the gate electrode 3, whereby the insulating film 4 is prevented from being overetched.

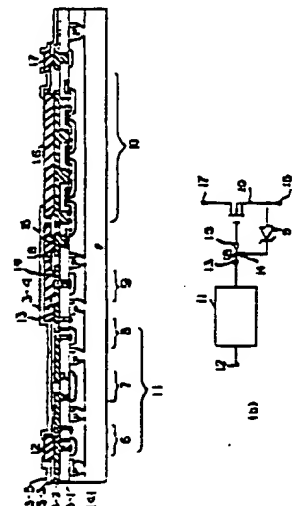


## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 6-151737 (A) (43) 31.5.1994 (19) JP  
 (21) Appl. No. 4-293254 (22) 30.10.1992  
 (71) TOSHIBA CORP (72) KOICHI KITAHARA(2)  
 (51) Int. Cl.<sup>6</sup> H01L27/088, H01L21/66, H01L27/04

**PURPOSE:** To provide a method of manufacturing a semiconductor device which is enhanced in reliability by evaluating enough a power element and a circuit element block that controls the output element.

**CONSTITUTION:** A power output element 10 and a circuit element block 11 are separated and connected together, a prescribed electrode of the power output element 10 and one end of a surge protection element 9 are connected, a first, a second, and a third electrode wiring, 13 to 15, are provided to the output end 13 of the circuit element block 11, the input electrode 15 of the power output element 10, and the other end 14 of the surge protection element, 9 as being not connected to each other. A fourth electrode wiring 16 is formed on the electrode wirings 13, 14, and 15 so as to connect them to each other. A semiconductor device of this design is so constituted as to enable the characteristics of the power output element 10 to be previously evaluated by the use of the second electrode 15 before the fourth electrode wiring 16 is formed.



## 【特許請求の範囲】

【請求項1】半導体基板上に素子分離膜を形成する工程と、ゲート酸化膜およびシリコン膜からなるゲート電極と、該ゲート電極の両側部にソース・ドレイン領域とを形成する工程と、CVD法により基板全面にシリコン酸化膜を堆積した後、前記ゲート電極の側壁および素子分離膜の側壁上部にのみシリコン酸化膜を残して該シリコン酸化膜を異方性エッチングした後、Ti、CoまたはNiからなる金属膜を全面に積層する工程と、熱処理によりソース・ドレイン領域の上部およびゲート電極上に選択的にシリサイド膜を形成する工程とを有する半導体装置の製造方法。

【請求項2】前記シリサイド膜を形成する工程に続いて、イオン注入法により、ソース・ドレイン領域およびゲート電極領域に不純物を注入した後、熱処理することにより活性化させる工程とを有する請求項1に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、特に高速、高密度である相補性MOS型集積回路の形成に好適な半導体装置の製造方法に関する。

## 【0002】

【従来の技術】近年、集積回路は高密度化が進行し、現在は超LSIに至っている。トランジスタの高密度化および高集積化を同時に達成する方法として、特公平2-37093号公報に開示されているように、セルフアライン・シリサイドプロセスの採用が検討されてきた。このセルフアライン・シリサイドプロセスにより、ソース・ドレインの拡散層抵抗およびゲート電極の抵抗が低下した半導体装置を得ることができる。

【0003】また、近年、相補性MOSトランジスタは、高速化を達成する為にトランジスタのしきい値電圧を低下させることが必要になり、pMOSトランジスタにはp型のゲート電極を用い（以下、本トランジスタをp+pMOSと略す）、nMOSトランジスタにはn型のゲート電極（以下、本トランジスタをn+nMOSと略す）を用いる事が検討されている。

【0004】今後、ますます高速化が要求されるCMOSトランジスタの製造に際して、前記セルフアライン・シリサイドプロセスと、このn+nMOS、p+pMOS構造とを融合させた技術の採用が、必須である。しかし、この技術を実際に行うには、熱処理中にnおよびp+ゲート間でドーパントの拡散が起き、トランジスタ特性が変動してしまう問題があり、実用化が難しいことが予想される。すなわち、一般に、CMOSトランジスタは、同一のポリシリコンゲートの一部をn型ゲート電極として用い、残りをp型ゲート電極として使用する。ポリシリコンの表面は、シリサイド化しポリサイドゲートとする。しかし、シリサイド中のドーパントの

拡散速度は、単結晶シリコン中の $10^4$ 倍であるため、トランジスタ形成の熱処理中にポリシリコン上に形成されたシリサイド中を、ドーパントがn型のゲート電極からp型のゲート電極に、またp型のゲート電極からn型のゲート電極へと拡散してしまう。この結果、相補性トランジスタの双方のしきい値電圧が変動し、さらにはパンチスルーを起こしてしまう。この問題の解決策として、International Electron Devices Meeting 1990 (IEDM90)において“A TiN strapped poly-silicon gate cobalt salicided CMOS process”と題する方法が報告されている。

【0005】図2は、前記IEDM90で紹介された方法を説明する概略断面図である。この方法においては、まず、図2(A)に示すとおり、常法によりシリコン基板21上にゲート酸化膜22とゲート電極用ポリシリコン膜23を形成した後、TiN膜24を反応性スパッタ法により形成する。次いで、ポリシリコン電極を形成した後、シリコン基板全面にSiO<sub>2</sub>膜を気相成長法によって形成する。次いで、異方性リアクティブイオンエッチング法により、シリコン基板全面の酸化膜をエッチングすると、ポリシリコンの側壁にのみ酸化膜25が残存する（図2(B)）。次に、ウェハ全面にCo膜26を形成し、熱処理によりCoSi<sub>2</sub>膜27をソース・ドレインに選択的に形成する（図2(C)）。最後に、未反応Coを除去する。この方法では、ポリシリコン上にTiN膜を形成した後、ソース・ドレインを自己整合的にシリサイド化させることによりp-ゲート上とn-ゲート上にシリサイドを形成しないことによりドーパントの相互拡散を防止している。

## 【0006】

【発明が解決しようとする課題】しかし、この方法は、ゲート上にシリサイドを形成しない為に、ゲート電極間のドーパントの相互拡散を抑制できるが、ポリシリコンのシート抵抗が高い為に、回路の高速化が図れない。

【0007】そこで、本発明の目的は、同一のポリシリコン電極において自己整合的にn+ゲート電極上のシリサイドとp+ゲート電極上のシリサイドを分離させ、ドーパントのゲート間拡散を抑制することにより、高速のCMOSトランジスタを簡便にかつ設計通りに形成する方法を提供することにある。

## 【0008】

【課題を解決するための手段】前記課題を解決するために、本発明は、半導体基板上に素子分離膜を形成する工程と、ゲート酸化膜およびシリコン膜からなるゲート電極と、該ゲート電極の両側部にソース・ドレイン領域とを形成する工程と、CVD法により基板全面にシリコン酸化膜を堆積した後、前記ゲート電極の側壁および素子分離膜の側壁上部にのみシリコン酸化膜を残して該シリコン酸化膜を異方性エッチングした後、Ti、CoまたはNiからなる金属膜を全面に積層する工程と、熱処理

ース・ドレインおよびゲート電極上にシリサイド膜を形成する。この時、ゲート電極側壁と素子分離側壁直上のゲート電極上には、絶縁膜が残存している為に自己整合的にシリサイド化されない。

【0023】そのため、本発明の方法によれば、n型ゲート電極とp型ゲート電極上のシリサイドは、素子分離側壁直上で分離され、ドーパントはゲート電極間を拡散しない。よって、n+nMOSとp+pMOSを持つCMOSトランジスタをセルフアライン・シリサイドプロセスを用いることにより安価に形成できる。

【0024】

【実施例】図1(A)～(F)に順を追って示す工程にしたがって半導体装置を製造した。

【0025】まず、図1(A)に示すように、950℃、湿潤雰囲気での熱酸化処理により、シリコン基板上に素子分離膜を形成した。このとき、素子分離膜の側端において、バースピーク長：0.3μm以下、バースヘッド：0.2μm以上とした。

【0026】次に、図1(B)に示すように、900℃の乾燥酸素雰囲気中での処理によって、厚さ9nm程度のゲート酸化膜を形成した後、減圧CVD法によって、ゲート電極用のシリコン膜をシリコン基板の全面に堆積した後、反応性イオンエッチング法によって、図1

(C)に示すように、ゲート電極を形成する。その後、シリコン基板の全面にイオン注入法により、pMOS領域にはB<sup>+</sup>イオンを $5 \times 10^{15}$ 個/cm<sup>2</sup>、nMOS領域にはP<sup>+</sup>イオンを $5 \times 10^{15}$ 個/cm<sup>2</sup>、シリコン基板中に導入した。

【0027】次いで、気相成長法により厚さ100～200nm程度のSiO<sub>2</sub>膜を形成した後、反応性イオンエッチング法によりウェハ全面に堆積されたSiO<sub>2</sub>膜をエッチングして、図1(D)に示すように、ゲート電極の側壁および素子分離膜の側端のバースピーク直上にSiO<sub>2</sub>膜を残存させた。

【0028】次に、活性層を形成するためにnMOSを形成する範囲には砒素を、pMOSを形成する範囲にはBF<sub>3</sub><sup>+</sup>イオンを、それぞれイオン注入法により導入した。その後、ソース・ドレイン上およびゲート電極上の酸化膜を弗酸ガスまたは弗酸溶液中で除去し、図1

(E)に示すように、基板全面にTi膜を20nmだけスパッタリング法により形成した。

【0029】次いで、650℃で30秒間熱処理した後、アンモニア過酸化水素水で未反応Tiを除去した後、再度、基板全体を850℃で30秒間熱処理した。

この工程により、図1(F)に示すように、ソース・ドレインの上部およびゲート電極の上部に、それぞれTi

Si<sub>2</sub>膜および厚さ約50nm程度に形成された。ただし、素子分離膜の側壁直上のポリシリコン上にTiSi<sub>2</sub>は、形成されない。

【0030】本発明の実施例で形成した相補性MOSFETのしきい値電圧変化を測定した。図1(F)で示したウェハ上に、膜厚600nmのSiO<sub>2</sub>膜を400℃で形成し、これを900℃の不活性雰囲気中で30分の熱処理をした。pMOS、nMOSともにしきい値電圧は、熱処理を行なわなかったものに比べ、その変化は50mV以下であった。なお、本発明の方法によらずに作製したMOSFETは、pMOSで300mV、nMOSで150mVのしきい値変化があった。

【0031】

【発明の効果】本発明の方法によれば、同一のポリシリコン電極において自己整合的にn+ゲート電極上のシリサイドとp+ゲート電極上のシリサイドを分離させ、ドーパントのゲート間拡散を抑制することにより、高速のCMOSトランジスタを簡便にかつ設計通りに形成することができる。

【図面の簡単な説明】

【図1】 本発明の方法の主要工程を説明する概略断面図。

【図2】 従来技術によるCMOSの形成工程を説明する概略断面図。

【符号の説明】

- 1 半導体基板
- 2 素子分離膜
- 3 素子分離膜2の側端部
- 4 ゲート酸化膜
- 5 シリコン膜
- 6 ゲート電極
- 7 ゲート電極6の側壁
- 8 素子分離膜2の側端
- 9 SiO<sub>2</sub>膜
- 10 SiO<sub>2</sub>膜
- 11 ソース・ドレイン領域
- 12 金属膜
- 13 金属シリサイド膜
- 14 金属シリサイド膜
- 21 シリコン基板
- 22 ゲート酸化膜
- 23 ゲート電極用ポリシリコン膜
- 24 TiN膜
- 25 酸化膜
- 26 Co膜
- 27 CoSi<sub>2</sub>膜

によりソース・ドレイン領域の上部およびゲート電極上に選択的にシリサイド膜を形成する工程とを有する半導体装置の製造方法を提供するものである。

【0009】さらに、本発明の方法において、前記シリサイド膜を形成する工程に続いて、イオン注入法により、ソース・ドレイン領域およびゲート電極領域に不純物を注入した後、熱処理することにより活性化させる工程を有すると、好ましい。

【0010】以下、本発明の半導体装置の製造方法（以下、「本発明の方法」という）について、図1（A）～（F）に順を追って示す工程にしたがって詳細に説明する。図1（A）～（F）は、ゲート電極の長さ方向と平行に活性層領域で切断して示す概略断面図である。

【0011】本発明の方法においては、まず、図1（A）に示すように、半導体基板1上に素子分離膜2を形成する。この素子分離膜2の形成は、常法にしたがって行えばよく、特に制限されない。また、この素子分離膜2の形成は、熱酸化膜を15nm以下とし、マスク用の窒化珪素膜を100nm以上とし、素子分離膜の形成を950℃以上の温度で行なう点で、その側端部3のバースピーク（bird's beak）が、バースピーク長a 0.3μm以下、かつバースヘッド（bird's head）b 0.2μm以上となるように調整される。

【0012】次に、図1（B）に示すように、ゲート酸化膜4を形成した後、ゲート電極用のシリコン膜5をシリコン基板の全面に堆積させる。

【0013】ゲート酸化膜の形成およびゲート電極用のシリコン膜の形成は、特に制限されず、常法にしたがって行うことができる。また、形成されるゲート酸化膜の厚さおよびゲート電極用のシリコン膜の厚さは、MOS FETのしきい値電圧、イオン電流等に応じて適宜選択される。通常、ゲート酸化膜の厚さは、5～15nm程度に形成される。

【0014】次に、図1（C）に示すように、ゲート電極6を形成し、さらに半導体基板1の全面にイオン注入法によりホウ素を $5 \times 10^{15}$ 個/cm<sup>2</sup>以上、または磷を $5 \times 10^{15}$ 個/cm<sup>2</sup>以上、半導体基板内に導入する。

【0015】次いで、SiO<sub>2</sub>膜を形成した後、異方性エッチングにより半導体基板1の全面に堆積されたSiO<sub>2</sub>膜を除去して、図1（D）に示すように、ゲート電極6の側壁7および素子分離膜2の側端8のバースピーク直上のそれぞれにSiO<sub>2</sub>膜9および10を残存させる。

【0016】SiO<sub>2</sub>膜の厚さは、通常、100～200nm程度に形成される。また、このSiO<sub>2</sub>膜の形成は、減圧CVD法や常圧CVD法等の気相成長法にしたがって、シランと酸化性ガスを用いて行うことができる。

【0017】また、異方性エッチングとしては、例え

ば、反応性イオンエッチング法等を適用することができる。このとき、使用するガスとして、例えば、CH<sub>3</sub>F、CF<sub>4</sub>とArの混合ガス等が挙げられる。

【0018】次に、活性層を形成するために、nMOS型トランジスタ構造を形成する領域にはAs<sup>+</sup>イオンを40keVで $3 \times 10^{17}$ 個/cm<sup>2</sup>、pMOS型トランジスタ構造を形成する領域には、BF<sub>3</sub><sup>+</sup>イオンを40keVで $2 \times 10^{15}$ 個/cm<sup>2</sup>を、それぞれイオン注入法により導入する。その後、ソース・ドレイン領域11上およびゲート電極6上の酸化膜をHFガスまたはHF水溶液中で除去し、さらに、図1（E）に示すように、基板全面にTi、CoまたはNiからなる金属膜12を形成する。形成される金属膜の厚さは、通常、10～30nm程度である。また、金属膜の形成は、スパッタリング法、減圧CVD法、蒸着法等のいずれの方法にしたがって行ってもよい。また、ソース・ドレイン領域11へのイオン注入は、後段の金属シリサイド化後に行ってもよい。

【0019】次いで、熱処理を行ってソース・ドレイン領域11およびゲート電極6のポリシリコンと金属膜12の金属とを反応させ、金属シリサイドを形成させた後、未反応金属を除去する。この熱処理は、通常、600～700℃の範囲で、10～60秒間程度加熱して行うことができる。また、未反応の金属の除去は、アンモニア・過酸化水素水、硫酸・過酸化水素水等を用いて行うことができる。さらに、再度、必要に応じて、熱処理を行い、形成したシリサイド膜を低抵抗化する。この熱処理は、通常、800～900℃の範囲で、10～60秒間程度加熱して行うことができる。

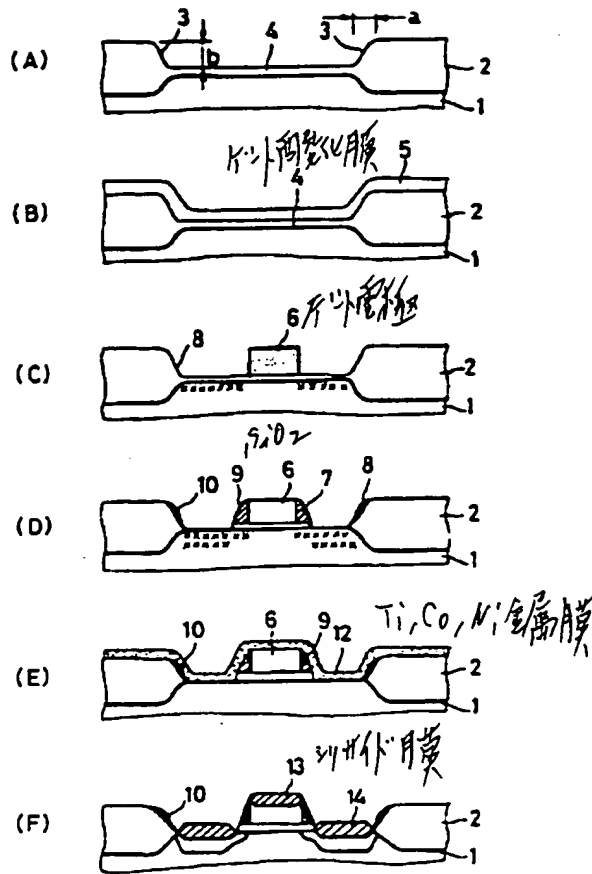
【0020】これらの熱処理は、急速加熱装置や加熱炉を用いた方法等によって行うことができる。

【0021】以上の処理により、ソース・ドレイン領域11の上部およびゲート電極6の上部に、それぞれ金属シリサイド膜13および14が形成される。この金属シリサイド膜は、通常、50～100nm程度の厚さに形成される。また、この工程において、素子分離膜の側壁直上のポリシリコン上には、CVD法で形成したシリコン酸化膜が存在しているため、金属シリサイド膜は、形成されない。

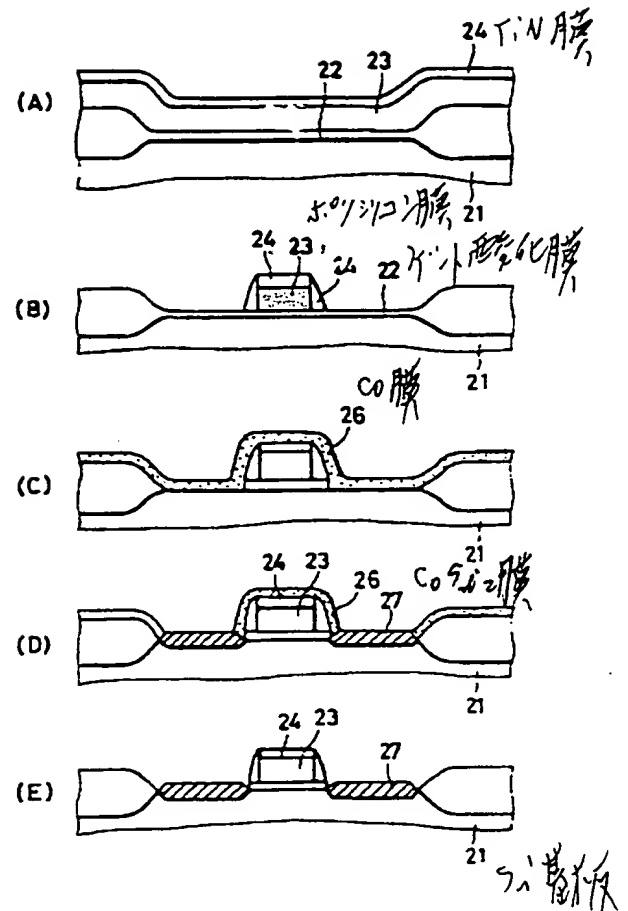
【0022】

【作用】本発明の方法によれば、半導体基板主表面上に素子分離膜を形成した後、ゲート酸化膜およびシリコン膜からなるゲート電極と該ゲート電極の両側の基板表面にソース、ドレイン領域を形成する。次に、半導体の主表面全体に酸化膜を堆積し異方的な酸化膜エッチング方法により酸化膜を除去する工程において前記ゲート電極の側壁および素子分離膜側壁直上のゲート電極上に絶縁膜を残す。さらに、ソース、ドレインおよびゲート電極上の薄い酸化膜を除去し、Ti、Co、Niのうちいずれか一つの金属膜を堆積し、該半導体基板を熱処理しソ

【図1】



【図2】



フロントページの続き

(51) Int. Cl. 3

識別記号

庁内整理番号

F I

技術表示箇所

H O I L 29/784